

# 应用于 CMOS 图像传感器的 Pipelined SAR 模数转换器设计

李 臻, 李冬梅

(清华大学 电子工程系, 北京 100084)

**摘 要:** 设计实现一种应用于 CMOS 图像传感器的 10 bit 模数转换器(ADC), 采用基于逐次逼近的新型流水线结构(Pipelined SAR ADC). 提出了一种优化选取其中高精度倍增数模转换器(MDAC)和单位电容值的解析方法. 通过采用第一级高精度、半增益 MDAC 和动态比较器等技术提高了整体电路的线性度, 并降低了系统功耗. 通过对版图面积的优化设计, 满足了 CMOS 图像传感器对芯片面积的要求. 本设计基于 180 nm CMOS 工艺, 仿真结果显示电路实现了 60.37 dB 的信噪失真比(SNDR)和 76.37 dB 的无杂散动态范围(SFDR), 有效精度(ENOB)达到了 9.74 bit. ADC 的核心面积仅为  $140\ \mu\text{m} \times 280\ \mu\text{m}$ , 约为  $0.04\ \text{mm}^2$ . 在 2.8 V 电压下, 功耗为 9.8 mW.

**关键词:** 逐次逼近; 流水线模数转换器; 半增益 MDAC; 动态锁存比较器; 低功耗; 小面积

**中图分类号:** TN432

**文献标识码:** A

**文章编号:** 1000-7180(2016)11-0064-05

## Design of a Pipelined SAR ADC Used in CMOS Image Sensor

LI Zhen, LI Dong-mei

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

**Abstract:** This paper presents a novel architecture to achieve a 10 bit pipeline ADC based on SAR technique which is used in a CMOS image sensor. A theoretical analysis is proposed to determine the high resolution MDAC and the suitable value of unit capacitor. The high-resolution first stage, the half-gain MDAC and the dynamic comparator are adopted to improve the linearity and to reduce the power. To satisfy the strict area requirement of CMOS image sensor, the layout is carefully designed. This pipelined SAR ADC is designed and fabricated in SMIC 180 nm CMOS technology. Simulation results show the ADC achieves 60.37 dB signal to noise distortion ratio (SNDR) and 76.37 dB spurious free dynamic range(SFDR). The effective number of bits (ENOB) achieves 9.74 bit. The core area is  $140\ \mu\text{m} \times 280\ \mu\text{m}$ , about  $0.04\ \text{mm}^2$ . The power dissipation is 9.8 mW in typical case under 2.8 V supply.

**Key words:** SAR; pipeline ADC; half-gain MDAC; dynamic latch comparator; low power; small area

## 1 引言

由于 CMOS 图像传感器在便携式消费类电子产品中的应用日益广泛, 对 CMOS 图像传感器的面积和功耗也提出了更为苛刻的要求. 流水线型模数转换器(Pipeline ADC)能够同时实现较高的速度和精度, 因此在图像传感器中使用较多. 传统的流水线型结构中, 需要有源采样保持电路和多个放大器, 其功耗非常大, 同时也带来了采样路径误差、子 ADC 误差和非线性误差等<sup>[1-2]</sup>, 增加了设计复杂度, 很难

满足低功耗小面积的需求. 而逐次逼近型模数转换器(SAR ADC)由于模拟电路部分结构简单数字化程度高, 能够满足低功耗的应用<sup>[3]</sup>. 不过由于其固有的逐次比较特性, 高精度所需要的转换时间相对较长, 很难同时实现高速高精度的设计要求.

本文通过理论推导和解析分析, 对传统的 Pipeline ADC 作了改进, 结合 Pipeline ADC 和 SAR ADC 各自的优势, 设计了一款可用于 CMOS 图像传感器的基于逐次逼近的流水线模数转换器. 在本设计中, 传统的多级流水线被缩减为两级流水线, 同

时选取 SAR ADC 作为子模数转换器,取代了传统的全并行模数转换器(flash ADC). 通过采用第一级高精度的倍增数模转换器(MDAC)和改进的动态锁存比较器来降低功耗和提升线性度. 此外,提出了半增益技巧来减小有限增益误差带来的非线性. 由于本设计基于实际图像传感器的应用及工艺,对成本、稳定性和功耗有着严格的要求,采用 1P3M 180 nm CMOS 工艺实现.

## 2 高精度 MDAC 和单位电容值选取

传统的 Pipeline ADC 中,子 ADC 通常选取 1 bit 或者 1.5 bit 的全并行结构. 近年来陆续有文章<sup>[4-5]</sup>提出以第一级高精度的方式实现 Pipeline ADC,以此来降低系统功耗、提升线性度. 同时,实际工业应用对面积的严格控制也需要对电容阵列中的单位电容做精心选取.

### 2.1 第一级高精度

模数转换器的差分非线性(DNL)可以用来衡量 ADC 的线性度. 在第一级,DNL 主要是由电容失配造成的<sup>[4]</sup>. 式(1)描述了 DNL 与电容值和第一级精度的关系.

$$\text{DNL} \propto \frac{\kappa \cdot 2^{N-\frac{m}{2}}}{\sqrt{C_{\text{total}}}} \quad (1)$$

式中, $C_{\text{total}}$  是子 ADC 电容阵列的总电容值, $N$  是 ADC 精度, $m$  是第一级精度. 可以看到第一级精度每增加 1 bit,DNL 就要提升 $\sqrt{2}$  倍. 同时  $C_{\text{total}}$  也会因为精度的增加而增加,从而进一步提升了 DNL.

然而,传统的 Pipeline ADC 通常选取 Flash ADC 作为子 ADC. 当以 flash 结构实现高精度时,为了避免 MDAC 和子 ADC 采样路径不同带来的孔径误差,必须选取高功耗的有源前端采样保持电路. 此外, $m$  bit 的 flash 子 ADC 需要  $2^m$  个比较器. 这些都限制了 flash ADC 在高精度子 ADC 中的应用. 而基于电荷重分配型的 SAR ADC 能够完美地克服上述问题. 首先,MDAC 的采样电容阵列可以复用为 SAR ADC 的采样电容阵列,两者共享相同的采样路径,从而彻底消除了孔径误差. 再者,SAR ADC 模拟电路结构简单,具有较小的功耗,其控制逻辑可以通过将一个比较器连接到电容阵列来整合到 MDAC 中,从而将  $2^m$  个比较器减少为 1 个,大大降低了设计的复杂度. 因此,选用 SAR ADC 实现高精度的第一级,将大幅改善电路的功耗和性能.

### 2.2 单位电容值的选取

电容阵列在整个版图中占据了较大的面积. 对

于 SAR ADC,较大的单位电容值可以减小电容失配误差,但同时也增加了整体结构的面积开销. 由于本设计对面积的严格控制,单位电容值的选取需要在线性度和面积之间小心折衷. 本文提出了一种电容值选取的解析分析方法.

$N$  bit 的 SAR ADC 电容阵列由  $2^N$  个单位电容构成. 所有的单位电容都服从相同的独立高斯分布. 积分非线性(INL)的分布可以通过推导电容阵列上极板输出电压  $u_o$  的分布来得到. 如式(2)和(3)中所列:

$$\frac{u_o}{u_{\text{ref}}} = \frac{\sum_{i=1}^{\text{code}} C_{ui}}{\sum_{i=1}^{2^N} C_{ui}} \quad (2)$$

$$\frac{du_o}{u_o} = \frac{d\left[\sum_{i=1}^{\text{code}} C_{ui}\right]}{\sum_{i=1}^{\text{code}} C_{ui}} - \frac{d\left[\sum_{i=1}^{2^N} C_{ui}\right]}{\sum_{i=1}^{2^N} C_{ui}} \quad (3)$$

式(3)通过对式(2)求导可得. 其中  $u_{\text{ref}}$  是电路的参考电压,code 代表了转换的数字输出, $\sigma_{u_o}$  是  $C_{ui}$  的标准差. 而在  $dC_{ui}/C_{ui} \ll 1$  的情况下, $dC_{ui}$  是满足高斯分布的. 以此为基础,根据高斯分布的性质可得式(4)、(5):

$$\frac{\sigma_{u_o}}{u_o} \approx \frac{\sigma_{C_u}}{C_u} \cdot \sqrt{\left(\frac{1}{\text{code}} - \frac{1}{2^N}\right)^2 \cdot \text{code} + \left(\frac{1}{2^N}\right)^2 \cdot (2^N - \text{code})} \quad (4)$$

$$u_o \approx u_{\text{ref}} \cdot \frac{\text{code}}{2^N} = \text{code} \cdot 1 \text{ LSB} \quad (5)$$

据此可知输出电压仍然服从高斯分布,而  $\sigma(u_o)$  与 1 LSB 和单位电容  $C_u$  的误差  $\sigma(C_u)/C_u$  间的比例存在一个函数关系. 该函数关系可通过图 1 清楚地展示.

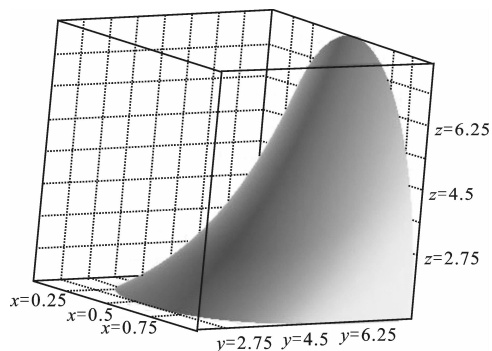


图 1 单位电容值的影响因素

其中  $z$  轴代表了  $\sigma(u_o)$  与  $\sigma(C_u)/C_u \cdot 1 \text{ LSB}$  的比例关系, $y$  轴是 ADC 的精度  $N$ , $x$  轴为  $\text{code}/2^N$  的值,即输出电压相对于参考电压的比例. 可知,当

code 接近中点时,  $u_o$  的误差分布范围最大. 另外, 可以看到, 对于某一个恒定的精度  $N$ , 它的误差分布从 0 到  $V_{ref}$  大致呈倒抛物线状. 输出电压误差随着精度的提升而增大, 因此第一级精度并不是越大越好, 对一个 10 bit 的 ADC, 选取 5 bit 作为第一级的精度是一个合理的折中.

更重要的是, 该推导为单位电容值的选取提供了理论指导. 例如  $\sigma_{u_0} = z \cdot \frac{\sigma_{C_u}}{C_u} \cdot 1 \text{ LSB}$ , 其中  $\frac{\sigma_{C_u}}{C_u}$  可以参考工艺文档,  $z$  值可以从图 1 中直接得到. 为了满足指标要求的 INL 范围, 可以根据工艺文件选取合适的  $\frac{\sigma_{C_u}}{C_u}$  来满足  $\sigma_{u_0}$  的要求. 本设计选取了 180 nm 工艺, 根据工艺文件可以得知, 当  $N = 5$  时, 选取 10 fF 作为单位电容值, 在满足指标要求的同时也减小了面积. 值得注意的是, 5 bit 的 SAR ADC 中热噪声的影响不大, 因此在选取时需要重点考虑电容失配的影响.

3 系统电路实现

本设计的 ADC 结构如图 2 所示. 电路主要由四部分构成: 带有 1 bit 冗余的 5 bit MDAC, 一个 6 bit 的 SAR ADC, 1 bit 数字误差纠正模块和一个时钟控制模块. 5 bit 的 SAR ADC 和半增益运放构成了 5 bit 的 MDAC. 子 SAR ADC 复用了 MDAC 的采样电容阵列, 从而消除了采样路径失配误差. 级间放大器选取半增益实现方式放大第一级产生的余差, 其闭环增益从常规的 16 减小为 8. 为了避免更多流水线级数的使用, 第二级也采用了 SAR 结构来实现 6 bit 的精度. 时钟控制模块用来产生时钟控制信号. 1 bit 的数字误差纠正模块用来将两级输出数据结合产生最终的 10 bit 数字输出.

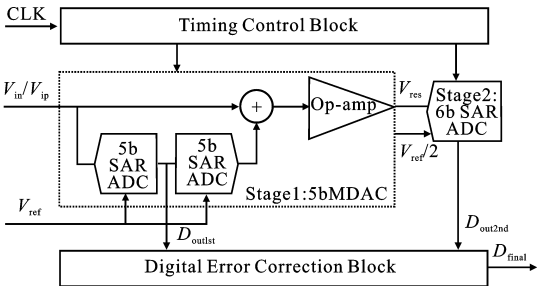


图 2 ADC 整体电路框图

Pipelined SAR ADC 的工作时序如图 3(a) 所示. 在第一级采样保持时钟 CLK\_S 期间, 运放复位, 5 bit 的 MDAC 通过自举开关在电容阵列下极

板采样输入信号. 采样结束后, 第一级 SAR ADC 的比较器开始工作, 通过控制逻辑逐次产生  $m$  bit 输出. 在 CLK\_H 期间, 电容阵列上极板上的余差电荷通过放大器实现闭环放大. 当第二级开始转换放大后的余差信号时, 第一级开始新一轮的采样过程.

3.1 5 bit MDAC 结构

图 3(b) 所示是由 5 bit 的子 SAR ADC 和级间运放组成的 MDAC. 为简洁起见, 图中描述了单端情况, 实际电路实现为全差分双端结构. 可以看到, 子 SAR ADC 复用了 MDAC 的采样阵列, 共享采样路径, 从而从根本上消除了采样路径不同造成的孔径误差, 同时避免了高功耗前端保持放大电路的使用, 大大降低了功耗. 采样电容阵列的上极板通过 CMOS 开关连接到级间运放. 级间运放以半增益方式实现, 即增益由  $2^4$  降低为  $2^3$ . 这种改进带来了整体电路性能的显著提升, 主要表现在功耗和线性度上. 具体分析如下.

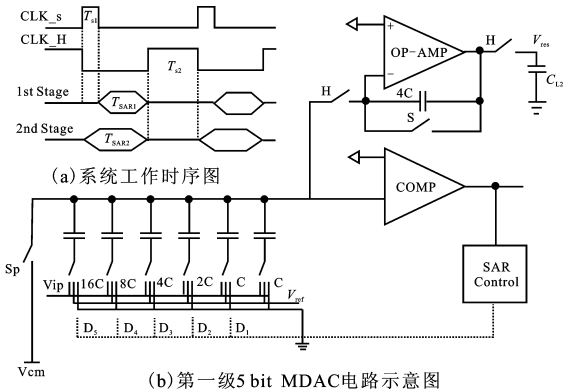


图 3 5 bit MDAC 电路实现

级间运放通过开关电容共模反馈实现闭环放大. 闭环增益为  $C_{in}/C_f$ , 反馈系数  $\beta = C_f/(C_{in} + C_f + C_p)$ . 假设忽略寄生电容  $C_p$  的影响, 在本电路中, 半增益方式的使用使得反馈系数从  $1/17$  提升为  $1/9$ . 而闭环带宽正比于  $\beta G_m/C_{toc}$ . 在带宽要求不变的情况下, 跨导值可因反馈系数的提升减小为原来的一半, 从而大大降低了功耗. 线性度的改善可以从两方面分析. 首先如式(6)所示.

$$|DNL|_{\max} \propto \frac{2^{N-M}}{A\beta} \quad (6)$$

$|DNL|_{\max}$  代表了级间运放有限增益误差造成的差分非线性的最大绝对值. 可以看到, 反馈系数  $\beta$  接近一倍的提升减小了 DNL 的绝对值, 从而提升了线性度.

同时, 运放的输出摆幅也减小为一半, 降低了运放的设计复杂度在其他条件不变的情况下允许

运放大幅提升开环增益,减小了有限开环增益带来的误差.值得注意的是,输出摆幅的减小会造成第二级 LSB 值的减半.然而由于第二级 6 bit 的 SAR ADC 并不受热噪声限制,因而本设计中这一影响并不大.但当闭环增益进一步减小时,如减小为  $1/4$  或者  $1/8$ ,则 LSB 的值急剧下降,热噪声逐渐开始起主导地位<sup>[5]</sup>.综合考虑,半增益实现方式是最佳的选择.

3.2 比较器实现

本设计以应用于 CMOS 图像传感器的工业产品为目标.在实际中,比较器的失调是一个关键问题.而失调并不是固定值,并且很难彻底消除.为了降低失调的影响,选取了图 4 所示的带有前级预放大的低功耗动态比较器<sup>[6]</sup>.

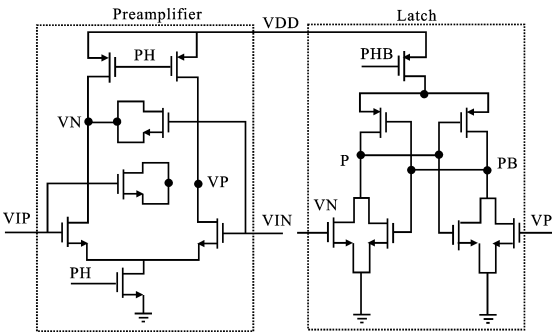


图 4 动态锁存比较器电路

比较器由预放大器和动态锁存类型的读出放大器构成.预放大器放置在动态锁存器前端,实现了 20 dB 的增益来减小失调影响,同时加入了交叉耦合的晶体管来抑制回馈噪声.一组 PMOS 晶体管构成了预放大器的负载.负载的尺寸越小,速度越快,但同时也减小了放大器的增益.如图 3(a)中时序所示,前后两级时序分配的不同导致了第一级比较器要求更高的速度,因此其器件尺寸也不同.

3.3 第二级 6 bit SAR ADC 和数字误差纠正模块

为了避免使用更多的流水线级,第二级选取了和第一级相似的 6 bit SAR ADC 结构来量化运放输出电压  $V_{res}$ .需要注意的是,为了补偿半增益 MDAC,第二级的参考电压只有第一级的一半.级间高增益的运放也抑制了第二级对整体电路的噪声贡献.在第二部分中讨论的单位电容值选取条件可以放宽,单位电容值可以减小为第一级的一半.因此,面积有了进一步的减小.

出于两方面的原因,本设计省去了对额外的校准电路的需求.首先,正如前述讨论,半增益 MDAC 在满足同样的闭环带宽和 DNL 的要求下

实现了更高的开环增益,从而消除了增益校准的必要性.同时,每级精度相对于中等精度(10~12 bit)SAR ADC 来说较小,电容失配影响可以通过第二部分数学分析指导得到很好的抑制,也就不需要单独的失配校准模块.本设计中第一级 5 bit SAR ADC 带有 1 bit 冗余,数字误差纠正模块就是通过冗余位来补偿两级比较器可能带来的失调,进一步消除失调的影响.该模块通过将第一级 5 bit 的最后一位和第二级 6 bit 的第一位合并得到最终输出的 10 bit 数据.

4 版图和结果分析

本设计采用 1P3M 180 nm CMOS 工艺.在整体电路版图中,电容阵列占据了较大面积,为了实现小面积的要求,版图设计中并没有选取传统的 MIM 类型电容,而是选择了具有良好动态匹配性和较大单位面积电容值的 MOS 电容.MOS 电容的单位面积电容值可以高达 9 fF,从而大幅缩减了面积.整体布局上保证模拟差分信号对称,减少关键路径的走线长度,同时适当运用 dummy 管实现器件的匹配性,对模拟电路和数字电路进行了良好的隔离.最终 ADC 的版图如图 5 所示,其面积仅为  $140\text{ }\mu\text{m}\times 280\text{ }\mu\text{m}$ ,约  $0.04\text{ mm}^2$ .

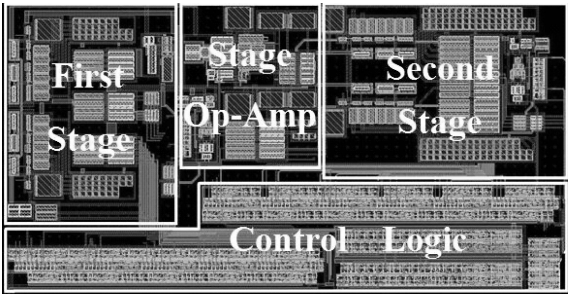


图 5 版图设计

CMOS 图像传感器提供 2.8 V 供电电压.在该电压下,ADC 的整体功耗为 3.5 mA,其中包括了占比较大的参考电压功耗.如图 6 所示,在输入 3 MHz 奈奎斯特频率的正弦信号时,有效位数 ENOB 为 9.74 bit,信噪失真比 SNDR 为 60.37 dB,无杂散动态范围 SFDR 为 76.37 dB.表 1 列出了本设计与文献中采用类似结构、工艺实现的用于 CMOS 图像传感器的 ADC 的性能对比.可以看到本设计在面积和功耗方面具有明显的提升,实现了设计目标.

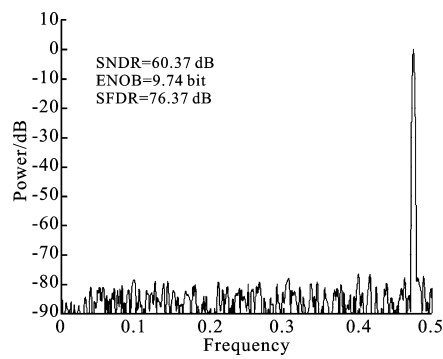


图 6 ADC 输出频谱

表 1 不同电路结构性能比较

| 性能                 | 文献[1]    | 文献[2]    | 本设计           |
|--------------------|----------|----------|---------------|
| 电路结构               | Pipeline | Pipeline | Pipelined SAR |
| 面积/mm <sup>2</sup> | 0.8      | 7.28     | 0.04          |
| 功耗/mV              | 33       | 230      | 9.8           |
| 精度/bit             | 10       | 14       | 10            |
| SNDR/dB            | 58.28    | 72.2     | 60.37         |
| ENOB/bit           | 9.39     | 11.7     | 9.74          |
| SFDR/dB            | 64.67    | 91.1     | 76.37         |
| 采样速度/MHz           | 50       | 100      | 6             |
| 电源电压/V             | 3.3      | 3        | 2.8           |
| CMOS 工艺/nm         | 180      | 180      | 180           |

5 结束语

本文采用了一种低功耗小面积的 10 bit 新型流水线 ADC 结构. 在结合流水线结构和逐次逼近型结构优点的同时,优化了前后级精度的分配,同时提出了一种有效优化选取单位电容值的解析分析方法. 采用高精度的 MDAC、半增益方式和改进的动态比较器用于提升线性度和降低功耗. ADC 的核心面积仅为 0.04 mm<sup>2</sup>. 在 2.8 V 的供电电压下,功耗为 9.8 mW. 在 3 MHz 输入信号下,有效位数为 9.74 bit. 本设计满足 CMOS 图像传感器对 ADC 的

性能要求.

参考文献:

[1] Xue F, Wei X, Hu Y, et al. Design of a 10-bit 50MSPS pipeline ADC for CMOS image sensor[C]// Industrial Electronics and Applications (ICIEA), 2014 IEEE 9th Conference on. [s. l.]: IEEE, 2014: 891-895.

[2] Lee B G, Min B M, Manganaro G, et al. A 14b 100MS/s pipelined ADC with a merged active S/H and first MDAC[C]// Solid-State Circuits Conference, Digest of Technical Papers IEEE International. Boston: IEEE, 2012:248-611.

[3] Wang Q, Zhou L, Peng Z, et al. A 12-b 100MS/s low-power successive approximation register ADC in 65 nm COMS[C]// Electron Devices and Solid-State Circuits (EDSSC), 2014 IEEE International Conference on. BerLin:IEEE, 2004:1-2.

[4] Yang W, Kelly D, Mehr I, et al. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input[J]. Solid-State Circuits, IEEE Journal of, 2010,36(12): 1931-1936.

[5] Lee C C, Flynn M P. A SAR-assisted two-stage pipeline ADC[J]. Solid-State Circuits, IEEE Journal of, 2011,46(4): 859-869.

[6] Chan C H, Zhu Y, Chio U, et al. A reconfigurable low-noise dynamic comparator with offset calibration in 90 nm CMOS[C]// Solid State Circuits Conference (A-SSCC), 2011 IEEE Asian. IEEE, 2011:233-236.

[7] 李臻. CMOS 图像传感器中的 10 位 Pipelined SAR ADC 研究与设计[D]. 北京:清华大学, 2016.

作者简介:

李 臻 男, (1990-), 硕士研究生. 研究方向为数模混合电路设计. E-mail: z-li13@mails. tsinghua. edu. cn

李冬梅 女, (1966-), 副教授. 研究方向为模拟数模混合电路设计、SOC 集成电路设计技术.